



ARAKAWA, Kazuya et al
April 27, 2001 #2
BSKB
J1033 U.S. PTO
09/842763
04/27/01

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

庁(703)205-8000

0033-0718

1041

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月27日

出 願 番 号

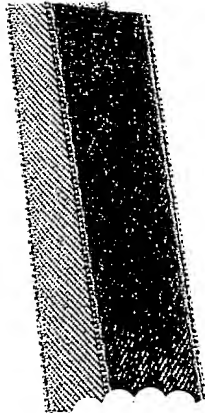
Application Number:

特願2000-127342

出 願 人

Applicant (s):

シャープ株式会社

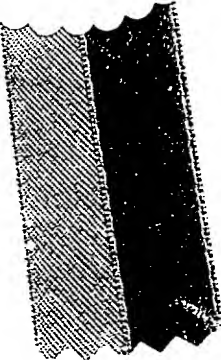
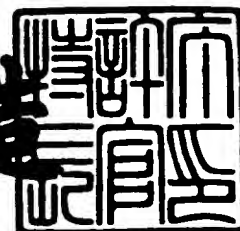


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 1000419

【提出日】 平成12年 4月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 荒川 和也

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 高瀬 幹

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 村松 剛司

【特許出願人】

 【識別番号】 000005049

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【手数料の表示】

 【予納台帳番号】 008693

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ駆動型情報処理装置

【特許請求の範囲】

【請求項 1】 少なくとも行先ノード番号と世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号とにより制御する自己同期型転送制御回路と、

前記自己同期型転送制御回路により制御されて前記データパケットを格納するパイプラインレジスタと、

前記データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、

前記パイプラインレジスタの少なくとも 1 つに格納されているデータパケットを消去しかつ他のデータパケットを外部に出力する機能を有することを特徴とする、データ駆動型情報処理装置。

【請求項 2】 少なくとも行先ノード番号と世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号により制御する自己同期型転送制御回路と、前記自己同期型転送制御回路により制御されて前記データパケットを格納するパイプラインレジスタと、前記データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、

前記データパケットに新たなホスト転送フラグを付加し、少なくとも 1 つのデータパケットを消去するためのマスタリセット入力が設けられ、マスタリセット情報により前記データパケットを消去するデータパケット消去手段と、

前記マスタリセット情報に従って他のデータパケットのホスト転送フラグを書換える複数のホスト転送フラグ操作手段と、

前記ホスト転送フラグを検出するホスト転送フラグ検出手段とを備えたことを特徴とする、データ駆動型情報処理装置。

【請求項 3】 少なくとも行先ノード番号と、世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号とにより制御する自己同期型転送制御回路と、前記自己同期型転送制御回路により

制御されて前記データパケットを格納するパイプラインレジスタと、前記データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、

前記データパケットに新たにホスト転送フラグを付加し、少なくとも1つのデータパケットを消去するためのマスタリセット入力が設けられ、マスタリセット情報により前記データパケットを消去するデータパケット消去手段と、

前記マスタリセット情報を記憶し、入力した他のデータパケットのホスト転送フラグを書換えて出力するホスト転送フラグ操作手段と、

前記ホスト転送フラグを検出するホスト転送フラグ検出手段とを備えたことを特徴とする、データ駆動型情報処理装置。

【請求項4】 前記データパケット消去手段は、前記入出力制御回路内に設けられることを特徴とする、請求項1から3のいずれかに記載のデータ駆動型情報処理装置。

【請求項5】 前記ホスト転送フラグ操作手段は、前記演算処理を行なうブロックの1つであるデータ駆動型情報処理装置の出口に一番近いブロック内に設けられることを特徴とする、請求項3に記載のデータ駆動型情報処理装置。

【請求項6】 さらに、前記データパケット内のホスト転送フラグを検出し、該ホスト転送フラグに従って外部にデータパケットを出力する手段を設けたことを特徴とする、請求項1から5のいずれかに記載のデータ駆動型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はデータ駆動型情報処理装置に関し、特に、循環パイプライン上の少なくとも1つのデータパケットを消去しかつ循環パイプライン上の他のデータパケットをホストへ転送させる機能を備えたようなデータ駆動型情報処理装置に関する。

【0002】

【従来の技術】

近年のマルチメディア化に伴い、画像処理などでは多量の演算が要求される。このような多量の演算を高速に処理する装置として、データ駆動型情報処理装置（以下、データ駆動型プロセッサと称する）が提案されている。データ駆動型プロセッサでは、ある処理に必要な入力データがすべて揃いかつその処理に必要な演算装置などの資源が割当てられたときに処理が行なわれるという規則に従って処理が進行する。データ駆動型の情報処理動作を含むデータ処理装置には、非同期のハンドシェイク方式を採用したデータ伝送装置が用いられる。このようなデータ伝送装置では、複数のデータ伝送路が接続され、それらのデータ伝送路がデータの転送要求信号（以下、SEND信号と称する）およびデータの転送を許可するか否かを示す転送許可信号（以下、ACK信号と称する）を互いに送受信しながら、自律的なデータ転送が行なわれる。

【 0 0 0 3 】

図5は従来およびこの発明が適用されるデータパケットのフォーマットを示す図である。図5において、データパケットは行先ノード番号ND#を格納するための行先ノード番号領域F1と、世代番号GN#を格納するための世代番号領域F2と、命令コードOPCを格納するための命令コード領域F3およびデータDATAを格納するためのデータ領域F4を含む。ここで、世代番号とは、並列処理をしたいデータ群同士を区別するための番号である。行先ノード番号とは、同一世代内の入力データ同士を区別するための番号である。命令コードとは、命令デコーダに格納されている命令を実行するためのものである。

【 0 0 0 4 】

図6はデータ伝送路の構成を示すブロック図である。データ伝送路は、自己同期型の転送制御回路（以下、C素子と称する）3aおよびDタイプフリップフロップからなるデータ保持回路（以下、パイプラインレジスタと称する）3bを含む。C素子3aはパルスを受けるパルス入力端子CIと、転送の許可または転送の禁止を示す転送許可信号を出力する転送許可出力端子ROと、パルスを出力するパルス出力端子COと、転送の許可または転送の禁止を示す転送許可信号を受ける転送許可入力端子RIと、パイプラインレジスタ3bのデータ保持動作を制御するクロックパルスを与えるためのパルス出力端子CPを有している。

【 0 0 0 5 】

図 7 は図 6 に示した C 素子の動作を説明するためのタイミングチャートである。C 素子 3 a は端子 C I から図 7 (a) に示すパルスを受取ると、端子 R I に図 7 (e) に示すような入力転送許可信号が許可状態であれば、端子 C O から図 7 (d) に示すパルスを出力するとともに、パイプラインレジスタ 3 b に図 7 (c) に示すパルスを出力する。パイプラインレジスタ 3 b は C 素子 3 a から与えられるパルスに応答して、与えられる入力パケットデータを保持し、またその保持したデータを出力パケットデータとして出力する。

【 0 0 0 6 】

図 8 は図 6 に示したデータ伝送路を所定のロジック回路を介してシーケンスに接続した例を示すブロック図である。図 1 5 において、入力されるパケットデータは、パイプラインレジスタ 4 a → 4 b → 4 c と順に転送されていく間に、ロジック回路 6 a , 6 b でシーケンスに処理される。図 8 において、たとえばパイプラインレジスタ 4 a がデータ保持状態である場合、後段のパイプラインレジスタ 4 b がデータ保持状態にあれば、パイプラインレジスタ 4 a からパイプラインレジスタ 4 b にデータは送られない。

【 0 0 0 7 】

また、後段のパイプラインレジスタ 4 b がデータを保持していない状態であれば、もしくはデータを保持していない状態になれば、少なくとも予め設定された遅延時間をかけてデータがパイプラインレジスタ 4 a からロジック回路 6 a で処理されてパイプラインレジスタ 4 b に送られる。このように接続された隣のパイプラインレジスタとの間で送受信される C I と C O 端子で入出力される S E N D 信号および R I 端子と R O 端子で入出力される A C K 信号に従って非同期に、そして少なくとも予め設定された遅延時間をかけてデータ伝送を行なうような制御を自己同期型転送制御と呼び、そのようなデータ転送を制御する回路を自己同期型転送制御回路と呼ぶ。

【 0 0 0 8 】

図 9 は図 6 に示した C 素子の具体的な回路図である。この C 素子はたとえば特開平 6 - 8 3 7 3 1 号公報に記載されたものである。図 9 において、パルス入力

端子C Iは前段部からのパルス状のS E N D信号（転送要求信号）を受け、転送許可出力端子R Oは前段部にA C K信号（転送許可信号）を出力する。パルス出力端子C Oは後段部にパルス状のS E N D信号を出力し、転送許可入力端子R Iは後段部からA C K信号を受ける。

【0 0 0 9】

マスタリセット入力端子M Rはマスタリセット信号を受ける。マスタリセット入力端子M Rに「H」レベルのパルスが与えられると、インバータ5 fで反転され、フリップフロップ5 a, 5 bがリセットされてC素子が初期化される。そして、パルス出力端子C O, 転送許可出力端子R Oはともに初期状態として「H」レベル信号を出力する。転送許可出力端子R Oの出力が「H」レベルであることは転送許可状態を示し、逆に「L」レベルであることは転送禁止状態を示している。また、パルス出力端子C Oの出力が「H」レベルであることは、後段にデータ転送を要求していない状態を示し、逆に「L」レベルであることは後段にデータ転送を要求しているまたはデータを転送している状態を示している。

【0 0 1 0】

パルス入力端子C Iに「L」レベルの信号が入力されると、すなわち前段からデータ転送が要求されると、フリップフロップ5 aはセットされ、その出力Qに「H」レベル信号を出力する。この「H」レベル信号はインバータ5 gで反転されて転送許可入力端子R Oからは「L」レベル信号が出力され、さらなるデータ転送を禁止する。一定時間後、パルス入力端子C Iに「H」レベルの信号が入力され、前段部から当該C素子へのデータのセットが終了する。この状態でかつ転送許可入力端子R Iから「H」レベル信号が入力されている、すなわち後段部からデータ転送を許可されている状態で、かつパルス出力端子C Oが「H」レベル信号を出力している、すなわち後段部へデータ転送している途中でない状態（データ転送を後段に要求していない状態）であれば、N A N Dゲート5 cはアクティブとなり、「L」レベル信号を出力する。

【0 0 1 1】

その結果、フリップフロップ5 aと5 bはともにリセットされ、フリップフロップ5 bはパイプラインレジスタへのパルス出力端子C Pから遅延素子5 eを介

して「H」レベル信号を出力するとともに、パルス出力端子C Oから遅延素子5 dを介して後段部のC素子へ「L」レベルのS E N D信号を出力する。すなわち、後段部へデータ転送を要求する。「L」レベルのS E N D信号を受けた後段のC素子は、そのC素子に対してさらなるデータ転送が行なわれないように転送禁止を示すA C K信号を「L」レベルにしてR O端子から出力する。該C素子は転送許可入力端子R Iからの「L」レベルのA C K信号を入力し、この信号によりフリップフロップ4 bがセットされる。その結果、パイプラインレジスタへのパルス出力端子C Pから遅延素子5 eを介して「L」レベル信号が出力され、また後段部へのパルス出力端子C Oから遅延素子5 dを介して「H」レベルのS E N D信号が出力され、データ転送を終了する。

【0 0 1 2】

図1 0は図8に示したデータ転送路を含んで構成された従来のデータ駆動型情報処理装置の概略ブロック図である。図1 0において、データ駆動型情報処理装置P eは、合流部J N Cと、発火制御部F Cと、演算部F Pと、プログラム記憶部P Sと、分岐部B R Nと、複数のパイプラインレジスタ4 a～4 cと、複数のC素子2 a～2 cを含む。各C素子2 a～2 cは前段および後段のC素子とのパケット転送パルス（C I，C O，R I，R Oの信号）のやり取りによって対応する処理部（F C，F P，P S）についてのパケット転送を制御する。各パイプラインレジスタ4 a～4 cは対応のC素子2 a～2 cからのパルス入力に応じて、前段の処理部より入力されているデータを取込んで保持し、出力段に導出し、次のパルスまでこれを保持する。

【0 0 1 3】

図1 0において、プロセッサP eに図5に示したデータパケットが入力されると、入力パケットはまず合流部J N Cを通り、発火制御部F Cに伝達され、行先ノード番号N D #と世代番号G N #とに基づいて同一のパケットの間で対データが形成される。すなわち、ノード番号N D #と世代番号G N #が一致する異なる2つのデータパケットの検出を行ない、両番号が一致する2つのうち一方のデータパケットのデータを他方のデータパケットのデータ領域F 4（図5）に追加格納し、この他方のデータパケットを出力する。データ領域F 4に対データ（1組

のデータ)を格納したパケットは次に演算部 F P に伝達される。演算部 F P は伝達されたデータパケットを入力し、その入力パケットの命令コード O P C に基づいて該入力パケットの内容に対して所定の演算を行ない、演算結果を該入力パケットのデータ領域 F 4 に格納する。該入力パケットは次にプログラム記憶部 P S に伝達される。

【 0 0 1 4 】

プログラム記憶部 P S は伝達されたデータパケットを入力し、その入力パケットの行先ノード番号 N D # に基づいて、プログラム記憶部 P S 内のプログラムメモリからパケットが次に行くべきノード情報(ノード番号 N D #)と次に実行すべき命令情報(命令コード O P C)とコピーフラグ C P Y を読出す。そして、読出された行先ノード番号 N D # および命令コード O P C が該入力パケットの行先ノード番号領域 F 1 および命令コード領域 F 3 にそれぞれ格納される。さらに、読出されたコピーフラグ C P Y が「1」であれば、プログラムメモリ中の次のアドレスも有効と判断されて、次のアドレスに記憶されている行先ノード番号 N D # および命令コード O P C を格納したパケットも生成される。

【 0 0 1 5 】

プログラム記憶部 P S から出力されるパケットは分岐部 B R N へ伝達され、その行先ノード番号 N D # に基づいて出力されるか、または再度プロセッサ内部に戻される。

【 0 0 1 6 】

ところで、データ駆動型情報処理装置において、データの依存関係やデータパケットの到着順序のずれなどにより、デッドロック状態に陥り、以降の実行が全く進まなくなることがある。この現象について図 1 1 を用いて説明する。たとえば、図 1 0 に示した発火制御部 F C 内のメモリには n 個のパケット(メモリパケット 1 ~ メモリパケット n)が格納されており、空き領域がない状態であるとする。この状態で発火制御部 F C へ図 1 1 に示したデータパケット 1 が入力され、該パケットが所有するタブの行先ノード番号および世代番号をそれぞれ内部メモリに記憶されているパケットが有するタブの行先ノード番号および世代番号とを比較し、両方が同一タブを有する相手データパケット 2 の到着がずれて検出でき

ない場合は、内部のメモリに空きがないため、データパケット 1 はメモリに格納されずにそのまま循環パイプライン上へ出力されてしまう。そして、この後に発火制御部 F C へデータパケット 2 が入力されてもデータパケット 1 が検出できないため、そのまま循環パイプライン上へ出力されてしまう。

【 0 0 1 7 】

発火制御部 F C 内部のメモリにデータパケット 1 またはデータパケット 2 が格納されるためには、発火制御部 F C 内部のメモリに格納されているデータパケットのいずれかが、循環パイプライン上のいずれかのパケットとタグが一致して、発火制御部 F C 内部のメモリに空き領域ができる必要がある。

【 0 0 1 8 】

しかし、プログラムのデータ依存性がたとえば図 1 1 に示すようであれば、発火制御部 F C 内のメモリに空きがなく、かつデータパケット 1 とデータパケット 2 がずれて入力されると、データパケット 1 が先に循環パイプラインにそのまま出力されてしまい、続いて入力されるデータパケット 2 も同様に発火できずに命令が実行されないまま循環パイプラインに出力される。

【 0 0 1 9 】

その後、該データパケット 1, 2 が循環パイプラインを巡回して、再度発火制御部 F C に到達してもやはり同じことが起こり、結局メモリに格納されている n 個のどのメモリパケットも永久に発火できず、メモリは満杯状態を維持する。

【 0 0 2 0 】

そして、合流部 J N C からは新たなデータパケットが入力され、この循環されているデータパケットに加わっていくと、終にはパイプラインから次のパイプラインへの転送ができなくなり、デッドロック状態に陥ってしまう。

【 0 0 2 1 】

上述したように、デッドロック状態に陥り、以後の実行が全く進まなくなったときやプログラム実行開始時には、データ駆動型情報処理装置 P E を初期状態にする必要がある。そのためには、図 8 に示した自己同期型転送制御回路のマスタリセット入力端子 M R に「H」レベルのパルスを与え、データ駆動型情報処理装置 P E 中のすべての C 素子 2 a ~ 2 c を初期化する方法が取られる。これにより

、パルス出力端子C Oと転送許可出力端子R Oがともに初期状態として「H」レベル信号を出力し、前段部には転送許可状態であると伝え、かつ後段部にデータ転送を要求しない状態になるため、マスタリセット時にパイプラインレジスタの保持するデータは後段のパイプラインレジスタへ送られることがなく、その後前段のパイプラインレジスタから送られてくるデータでデータパケット内は上書きされ、消滅する。これにより、すべてのパイプラインレジスタ内のデータパケットは消滅することになる。

【0 0 2 2】

【発明が解決しようとする課題】

上述の如く、循環パイプラインがデッドロックの状態に陥り、以後の実行が全く進まなくなった際に、マスタリセットの入力により初期化することができるが、循環パイプラインは図10に示すように、分岐部B R Nから合流部J N Cに戻って循環するため、循環パイプライン上のデータパケットはすべて消去されてもデッドロックの原因究明が困難であった。

【0 0 2 3】

それゆえに、この発明の主たる目的は、循環パイプラインのデッドロック状態を解除するだけでなく、循環パイプライン上の他のデータパケットを外部に転送させる機能を有するようなデータ駆動型情報処理装置を提供することである。

【0 0 2 4】

【課題を解決するための手段】

この発明は、少なくとも行先ノード番号と世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号とにより制御する自己同期型転送制御回路と、自己同期型転送制御回路により制御されてデータパケットを格納するパイプラインレジスタと、データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、パイプラインレジスタの少なくとも1つに格納されているデータパケットを消去しかつ他のデータパケットを外部に出力する機能を有することを特徴とする。

【0 0 2 5】

他の発明は、少なくとも行先ノード番号と世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号により制御する自己同期型転送制御回路と、自己同期型転送制御回路により制御されて前記データパケットを格納するパイプラインレジスタと、データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、データパケットに新たなホスト転送フラグを付加し、少なくとも1つのデータパケットを消去するためのマスタリセット入力が設けられ、マスタリセット情報により前記データパケットを消去するデータパケット消去手段と、マスタリセット情報に従って他のデータパケットのホスト転送フラグを書換える複数のホスト転送フラグ操作手段と、ホスト転送フラグを検出するホスト転送フラグ検出手段とを備えたことを特徴とする。

【 0 0 2 6 】

さらに、他の発明は、少なくとも行先ノード番号と、世代番号と命令コードとデータを含むデータパケットの転送および演算処理を転送要求信号と転送許可信号とにより制御する自己同期型転送制御回路と、自己同期型転送制御回路により制御されてデータパケットを格納するパイプラインレジスタと、データパケットを内部で循環させるか外部へ出力するかを制御する入出力制御回路を有するデータ駆動型情報処理装置において、データパケットに新たにホスト転送フラグを付加し、少なくとも1つのデータパケットを消去するためのマスタリセット入力が設けられ、マスタリセット情報により前記データパケットを消去するデータパケット消去手段と、マスタリセット情報を記憶し、入力した他のデータパケットのホスト転送フラグを書換えて出力するホスト転送フラグ操作手段と、ホスト転送フラグを検出するホスト転送フラグ検出手段とを備えたことを特徴とする。

【 0 0 2 7 】

好ましくは、データパケット消去手段は、入出力制御回路内に設けられることを特徴とする。

【 0 0 2 8 】

より好ましくは、ホスト転送フラグ操作手段は、演算処理を行なうブロックの1つであるデータ駆動型情報処理装置の出口に一番近いブロック内に設けられる

ことを特徴とする。

【0029】

さらに、より好ましくは、データパケット内のホスト転送フラグを検出し、該ホスト転送フラグに従って外部にデータパケットを出力する手段を設けたことを特徴とする。

【0030】

【発明の実施の形態】

図1は、この発明の一実施形態のハンドシェイク方式を採用したデータ駆動型情報処理装置に用いられるデータ伝送装置を示すブロック図である。

【0031】

この図1に示した実施形態は、図8に示したデータ伝送路にORゲート1fとホスト転送フラグ操作回路1g、1hを設け、2つのマスタリセット信号MRaとMRbを用いるものであり、その他の構成は図8と同じである。マスタリセット信号MRaは図8のマスタリセット信号MRに相当し、データ伝送装置を初期状態にするものである。マスタリセット信号MRbはデータ伝送路1aのみを初期状態とする。ホスト転送フラグ操作回路1g、1hはマスタリセット信号MRbが与えられると、パイプラインレジスタ1b、1cに含まれるパイプラインレジスタが保持するデータパケットのホスト転送フラグを操作する。

【0032】

次に、図1に示したデータ伝送装置の動作について説明する。入力されるパケットデータはパイプラインレジスタ1a→1b→1cと順に転送されていく間に、ロジック回路6a、6bによってシーケンスに処理される。C素子2a～2cはパルス入力端子CIが前段部からのパルス状のSEND信号を受け、転送許可出力端子ROは前段部のACK信号を出力する。パルス出力端子COは後段部にパルス状のSEND信号を出力し、転送許可入力端子RIは後段部からACK信号を受ける。

【0033】

マスタリセット信号MRbとして「H」レベルのパルスが与えられると、ORゲート1fを介してパイプラインレジスタ1aに含まれるC素子2aのマスタリ

セット入力端子MRに「H」レベルのパルスが入力され、このC素子2 aは従来の動作と同様にして、パイプラインレジスタ1 aを初期化し、パイプラインレジスタが保持するデータパッケージが消去される。この動作は、従来例で説明したマスタリセット信号MRに相当し、マスタリセット信号MR aが「H」レベルになることで、すべてのパイプラインレジスタ内のデータパッケージが上書きされて消滅することになる。

【0034】

次に、新たに付加したマスタリセット信号MR bが「H」レベルになると、このときマスタリセット信号MR aは「L」レベルになっている。パイプラインレジスタ1 aを制御するC素子2 aのみにORゲート1 fを介してマスタリセット信号MR bが入力されるため、パイプラインレジスタ1 a内のデータパッケージは上書きされて消滅する。その後、マスタリセット信号MR bは「L」レベルに変化する。さらに、この「H」レベルのマスタリセット信号MR bはホスト転送フラグ操作回路1 gと1 hにも制御信号（入力信号）として入力される。これらのホスト転送フラグ操作回路1 gと1 hは、マスタリセット信号MR bが入力されるC素子2 aにより制御されるパイプラインレジスタ1 a以外のパイプラインレジスタ1 b, 1 c…の入力側に各々設けられている。

【0035】

ホスト転送フラグ操作回路1 gはたとえば、バッファ回路あるいは遅延回路によって構成され、マスタリセット信号MR bが入力されると、そのマスタリセット信号をそのまま出力する。Dタイプフリップフロップで構成されるパイプラインレジスタのクロック信号としてのCPの立上がり時に、他の情報（タグフィールド、データフィールド）とともに、このホスト転送フラグはパイプラインレジスタに取込まれる。

【0036】

よって、ホスト転送フラグ操作回路1 g, 1 hの制御信号（入力信号）として「H」レベル信号が入力されると、ホスト転送フラグ操作回路1 g, 1 hはパイプラインレジスタ1 b, 1 c内に保持されているデータパッケージ内のホスト転送フラグを「H」レベルとする。その後、このホスト転送フラグが検出され、「H

」レベルの場合は、強制的にホストに転送させる。

【 0 0 3 7 】

なお、この発明の一実施形態で使用されるデータパケットは、図 5 に示したタグフィールド（行先ノード番号領域 F 1，世代番号領域 F 2，命令コード領域 F 3）と、データフィールド（データ領域 F 4）からなるデータパケットに、さらにホスト転送フラグが付加された構成となっている。

【 0 0 3 8 】

次に、先に説明した図 1 0 のデータ駆動型情報処理装置 P E に図 1 のデータ伝送装置を適用した例について説明する。

【 0 0 3 9 】

図 2 は図 1 に示したデータ伝送装置を用いたデータ駆動型情報処理装置の概略ブロック図であり、図 3 は図 2 に示したデータ駆動型情報処理装置の分岐部周辺部のみを示す回路図である。

【 0 0 4 0 】

図 2 において、マスタリセット信号 M R a は図 1 0 に示したマスタリセット信号 M R に対応しており、合流部 J N C と C 素子 2 a ～ 2 c と O R ゲート 1 1 a の一方入力に与えられ、マスタリセット信号 M R b はプログラム記憶部 P S とホスト転送フラグ操作回路 1 0 f と O R ゲート 1 1 a の他方入力端に与えられる。O R ゲート 1 1 a は図 3 に示すように、分岐部 B R N に内蔵されているものとする。

【 0 0 4 1 】

ホスト転送フラグ操作回路 1 0 f は各パイプラインレジスタ 4 a ～ 4 c の前段に配置されているが、図 2 ではパイプラインレジスタ 4 c の前段に配置した例を示しており、パイプラインレジスタ 4 a，4 b の前段に設けられるホスト転送フラグ操作回路は図示を省略している。

【 0 0 4 2 】

分岐部 B R N 内には、図 3 に示すように、C 素子 2 d とパイプラインレジスタ 4 d が設けられるとともに、ゲート回路 1 1 b と 1 1 c と 1 1 d とホスト転送フラグ検出回路 1 1 e とが設けられている。

【 0 0 4 3 】

ホスト転送フラグ検出回路 1 1 e はパイプラインレジスタ 4 d から出力される「H」レベルのホスト転送フラグを検出してラッチし、「H」レベル信号をゲート回路 1 1 b と 1 1 c のそれぞれの一方入力に与える。ゲート回路 1 1 b, 1 1 c の他方入力端には C 素子 2 d の端子 C O からパルス信号が与えられる。ゲート回路 1 1 b の出力は端子 C a を介して合流部 J N C に与えられ、ゲート回路 1 1 c の出力は端子 C O b を介して外部（ホスト）に与えられる。端子 R I a と R I b には、それぞれ合流部 J N C と外部とから転送許可信号が与えられ、これらの転送許可信号はゲート回路 1 1 d を介して C 素子 2 d の R I 入力に与えられる。

【 0 0 4 4 】

図 2 および図 3 において、ホスト転送フラグ操作回路 1 0 f の動作は図 1 と同様であり、データの依存関係やデータパケットの到着順序のずれなどにより、デッドロック状態に陥ったとき、マスタリセット信号 M R b が「H」レベルにされる。これにより、C 素子 2 d の M R 入力端子にマスタリセット信号 M R a と M R b が O R ゲート 1 1 a を介して入力され、分岐部 B R N 内のパイプラインレジスタ 4 d に格納されているデータパケットは上書きされて消滅する。

【 0 0 4 5 】

その後、マスタリセット信号 M R b が「L」レベルにされる。これにより、分岐部 B R N 内のパイプラインレジスタ 4 d が格納するデータパケットが上書きにより消滅し、かつホスト転送フラグが「H」レベルのデータパケットが新たに上書きされてパイプラインレジスタ 4 d に格納される。

【 0 0 4 6 】

この「H」レベルにセットされたデータパケットは、ホスト転送フラグ検出回路 1 1 e によって検出される。ホスト転送フラグ検出回路 1 1 e は「H」レベルのホスト転送フラグを検出するとラッチして「H」レベル信号を出力する。これにより、ゲート回路 1 1 c がアクティブとなり、分岐部 B R N 内の C 素子 2 d の C O 出力が端子 C O b から出力される。

【 0 0 4 7 】

なお、分岐部 B R N の前段にあたるパイプラインレジスタ 4 c の前段のパイプ

ラインレジスタ 4 b も同様に、その入力側に設置されているホスト転送フラグ操作回路により同時にホスト転送フラグが「H」レベルにセットされる。

【0048】

データ駆動型情報処理装置は、C素子の転送要求信号と転送許可信号のやり取りでデータを処理するため、端子CO b, RI bが外部（ホスト）からの信号となり、よってデータ駆動型情報処理装置から外部に転送されることになる。ちなみに、ホスト転送フラグ検出回路 1 1 e はホスト転送フラグが「L」レベルのときは、その「L」レベルをラッチして出力する。このとき、ゲート回路 1 1 b がアクティブとなり、C素子 2 d のCO出力が端子CO a から出力される。端子CO a, RI a は合流部 JNC との信号のやり取りを行なうため、データパッケージが合流部 JNC に戻ることになる。ホスト転送フラグ検出回路 1 1 e はたとえばラッチ回路やまたは単なる遅延回路のような簡単な構成であってもよい。

【0049】

これにより、データパッケージは強制的に外部（ホスト）に転出するため、デッドロック状態が解消されるとともに、データ駆動型情報処理装置内の循環パイプライン上のデータを外部（ホスト）側で取得してデバッグすることが可能となる。ここで、ホストへの転送とは、一般的にデータ駆動型情報処理装置には図 1 0 に示したようなデータ駆動型情報処理装置 P E が複数個入出力制御部（分岐部や合流部）を介して接続されて信号のやり取りを行っており、ホストへの転送とは、このデータ駆動型情報処理装置から外部に信号を取出すことをいう。

【0050】

次に、ホスト転送フラグ操作回路 1 0 f の変形例として、たとえば D タイプフリップフロップにより構成することができる。D タイプフリップフロップの入力端子は電源 V c c 端子に接続し、クロック入力端子にはマスタリセット信号 M R b を与え、このマスタリセット信号 M R b の立上がり時に D タイプフリップフロップの出力端子から「H」レベル信号が出力されるように構成することができる。そして、前述の説明と同様にして、C素子からの C P の立上がり時にパイプラインレジスタの所定の場所に「H」レベル信号が格納される。この場合、マスタリセット信号 M R b が一旦「H」レベルになると、それ以降「L」レベルになっ

ても、Dタイプフリップフロップの出力は「H」レベルを維持する。このため、以後パイプラインレジスタ4 cに転送されて格納されたデータパケットのホスト転送フラグを「H」レベルにセットできる。ホスト転送フラグ操作回路10 fは、分岐部BRNの入力段であるパイプラインレジスタ4 dの入力段に1個あればよく、ホスト転送フラグ操作回路の設置数を削減できる。

【0051】

図4はこの発明の他の実施形態を示す図である。この図4に示した実施形態は、パイプラインレジスタ1 cの前段にのみホスト転送フラグ操作回路2 hが設けられており、パイプラインレジスタ1 bの前段にはホスト転送フラグ操作回路が設けられていない点において図1の実施形態と異なっている。

【0052】

そして、図1のホスト転送フラグ操作回路1 g, 1 hには制御信号としてマスタリセット信号MR bが与えられていて、制御信号として「H」レベルが入力されると、ホスト転送フラグ操作回路1 g, 1 hはパイプラインレジスタ1 b, 1 c内に保持されているデータパケット内のホスト転送フラグを「H」レベルとした。これに対して、図4に示した実施形態では、ホスト転送フラグ操作回路2 hは制御信号であるマスタリセット信号MR bが「L」レベルのときはこの状態を記憶し、以降パイプラインレジスタ1 bから入力されるホスト転送フラグには、何ら操作することなくそのままパイプラインレジスタ1 cに出力する。この場合、ホスト転送フラグは初期状態の「L」レベルになっている。

【0053】

一方、ホスト転送フラグ操作回路2 hは、制御信号として「H」レベルが入力されると、この「H」レベルを記憶し、以降パイプラインレジスタ1 bから入力されるデータパケット内のホスト転送フラグを「H」レベルに書換えてパイプラインレジスタ1 cに転送する。このとき、パイプラインレジスタ1 bから出力されるデータパケットの他の領域（タグフィールドとデータフィールド）はロジック回路6 bにおいて所定の処理が行なわれ、パイプラインレジスタ1 cに転送される。したがって、入力されたデータパケットは、ホスト転送フラグ操作回路2 hとロジック回路6 bを含む回路2 gの中で上述の処理が行なわれ、データパケ

ットを出力することになる。

【 0 0 5 4 】

なお、この図 4 に示した実施形態で使用されるデータパケットは、図 1 に示した実施形態で使したデータパケットと同じ構成にされている。

【 0 0 5 5 】

次に、この図 4 に示したデータ駆動装置を前述の図 1 0 に示したデータ駆動型情報処理装置 P に適用した例を図 2 を参照しながら説明する。図 2 のデータ駆動型情報処理装置 P E において、2 つのマスタリセット信号 M R a と M R b が O R 回路 1 f を介して入力された C 素子 2 a と、この C 素子 2 a が属するパイプラインレジスタ 1 a が分岐部 B R N 内にあるものとする。

【 0 0 5 6 】

一方、ホスト転送フラグ操作回路 2 h はプログラム記憶部 P S に含まれているものとする。動作は基本的には図 1 に示した実施形態と同じである。データの依存関係やデータパケットの到着順序のずれなどにより、デッドロック状態に陥ったとき、マスタリセット信号 M R b が「H」レベルにされる。これにより、M R 入力端子にマスタリセット信号 M R a と M R b が O R 回路 1 f を介して入力されている C 素子 2 a が属する分岐部 B R N 内のパイプラインレジスタ 1 a に格納されているデータパケットは上書きされて消滅する。

【 0 0 5 7 】

その後、マスタリセット信号 M R b が「L」レベルにされる。これにより、先に説明したように分岐部 B R N 内のデータ伝送路のパイプラインレジスタによって格納されているデータパケットが上書きにより消滅し、かつ上書きされたデータパケットのホスト転送フラグが「H」レベルのため、外部への転送が可能となり循環パイプライン上のデッドロック状態が解消する。

【 0 0 5 8 】

デッドロック状態が解消すると、循環パイプライン上のデータパケットは転送を再開し、最も分岐部 B R N に近いプログラム記憶部 P S を通過する際に、プログラム記憶部 P S 内に設けられているホスト転送フラグ操作回路 2 h に記憶されている「H」レベル信号により、通過して処理されるデータパケット内のホスト

転送フラグが「H」レベルとされる。この例では、前述の実施形態および変形例と発明の効果となり、ホスト転送フラグ操作回路2hはプログラム記憶部PSに含まれており、操作へのソフト変更によるさらなる対応などが可能となり、デバッグの自由度を増すことができる。

【0059】

ホスト転送フラグが「H」レベルにセットされたデータパケットは、分岐部BRN内のホスト転送フラグ検出回路により、「H」レベルのホスト転送フラグが検出され、強制的にデータ駆動型情報処理装置から外部（ホスト）に転送されることになる。

【0060】

これにより、デッドロック状態が解消されるとともに、データ駆動型情報処理装置PE内の循環パイプライン上のデータを外部に転送して取得することでデバッグすることが可能となる。

【0061】

なお、この発明によるマスタリセット信号MRbが入力されるC素子や、ホスト転送フラグ操作回路の設置場所および設置数は特に限定されるものではない。また、ホスト転送フラグ操作回路やホスト転送フラグ検出回路も既知の技術で容易に構成可能である。そして、これらを入出力制御部としての出力部でもある分岐部BRN内に設けることで、この中のデータ伝送路を初期化して転送可能にすることにより、確実にデッドロック状態を解消することができる。

【0062】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0063】

【発明の効果】

以上のように、この発明によれば、パイプラインレジスタに格納されているデータパケットを消去して他のデータパケットを外部に出力する機能を設けるよう

にしたので、循環パイプラインのデッドロック状態を解除するだけでなく、循環パイプライン上の他のデータパケットを外部のホストへ転送できるため、デッドロック状態を引起こす原因となったデータパケットの情報を容易に獲得でき、効果的なデバッグ機能を備えたデータ駆動型情報処理装置を実現することができる。

【図面の簡単な説明】

【図 1】 この発明の一実施形態によるハンドシェイク方式を採用したデータ伝送装置のブロック図である。

【図 2】 図 1 に示したデータ伝送装置を用いたデータ駆動型情報処理装置のブロック図である。

【図 3】 図 2 に示したデータ駆動型情報処理装置の分岐部周辺部のみを示す回路図である。

【図 4】 この発明の他の実施形態のハンドシェイク方式を採用したデータ伝送装置のブロック図である。

【図 5】 従来およびこの発明の実施形態に適用されるデータパケットのフォーマット図である。

【図 6】 従来のデータ伝送路の一例を示すブロック図である。

【図 7】 図 6 に示した C 素子のタイミングチャートである。

【図 8】 従来のハンドシェイク方式を採用したデータ伝送装置の一例を示すブロック図である。

【図 9】 C 素子の具体的な回路図である。

【図 10】 従来のデータ駆動型情報処理装置のブロック図である。

【図 11】 従来のデータ駆動型情報処理装置においてデッドロック状態が起こり得るデータパケットの依存関係の一例を示す図である。

【符号の説明】

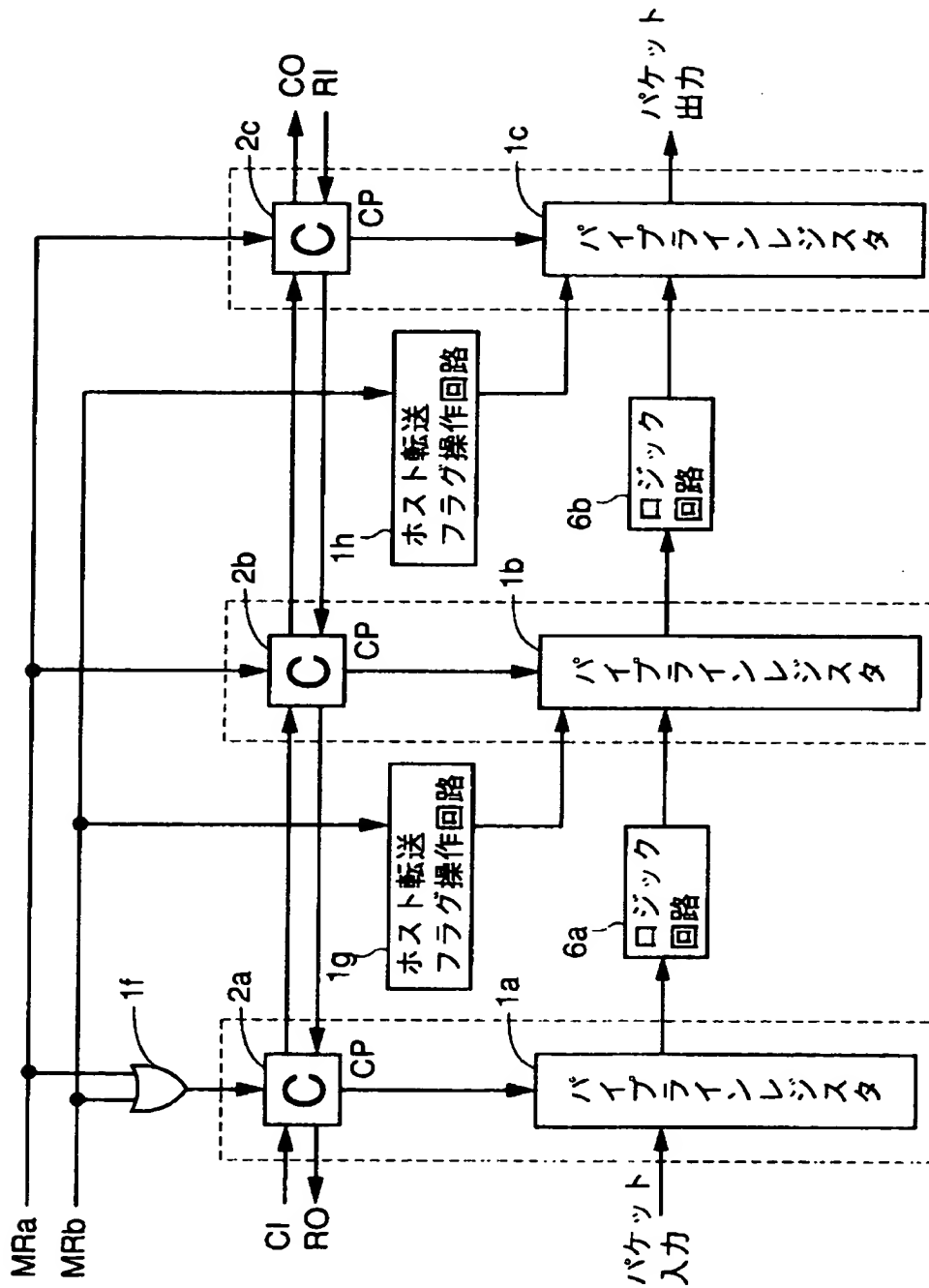
1 a, 1 b, 1 c パイプラインレジスタ、1 g, 1 h, 1 0 f, 2 h ホスト転送フラグ操作回路、2 a, 2 b, 2 c, 2 d C 素子、6 a, 6 b ロジック回路、1 1 b, 1 1 c, 1 1 d ゲート回路、1 1 e ホスト転送フラグ検出回路、J N C 合流部、F C 発火制御部、F P 演算部、P S プログラム記

特 2 0 0 0 - 1 2 7 3 4 2

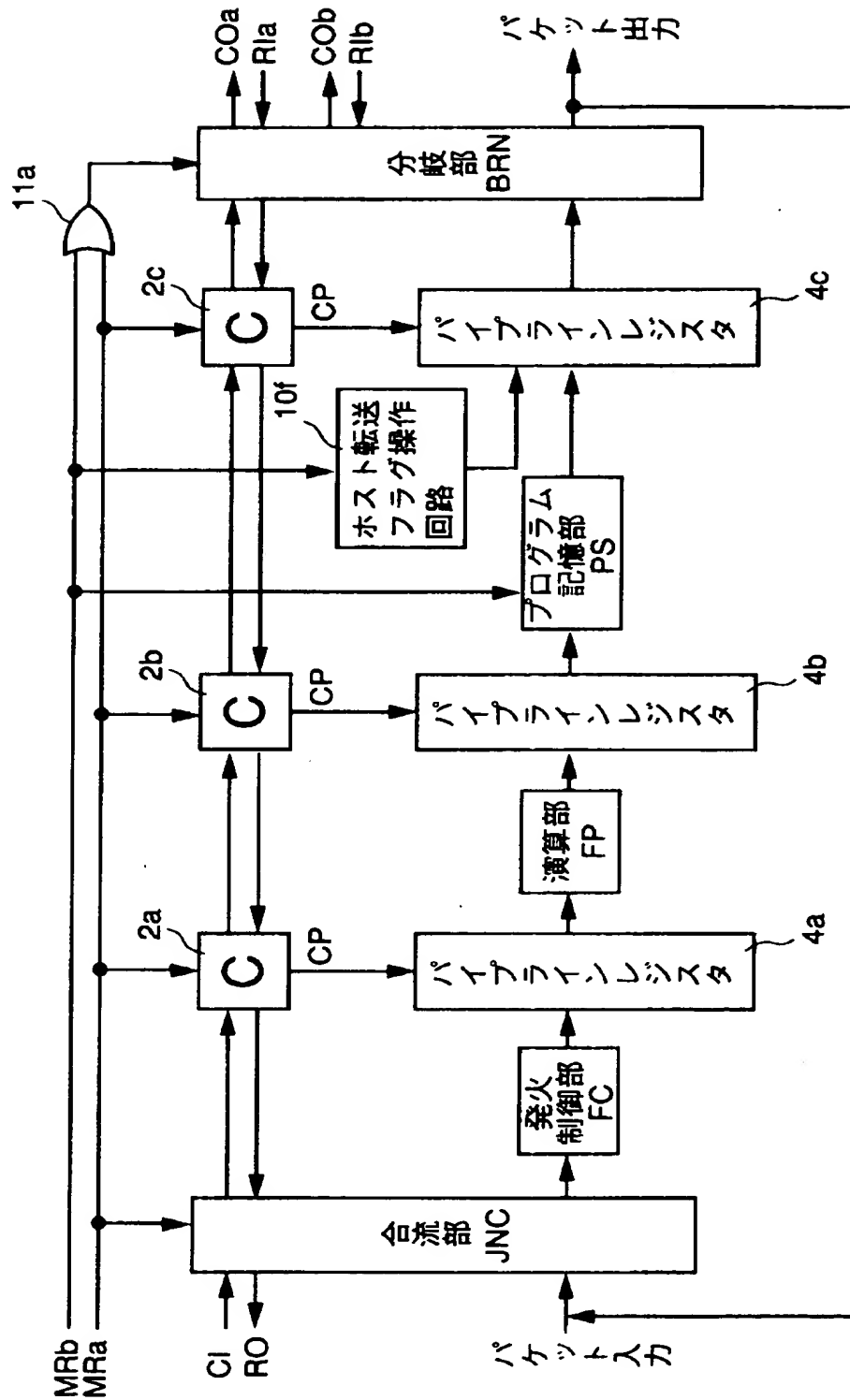
憶部、B R N 分岐部。

【書類名】 図面

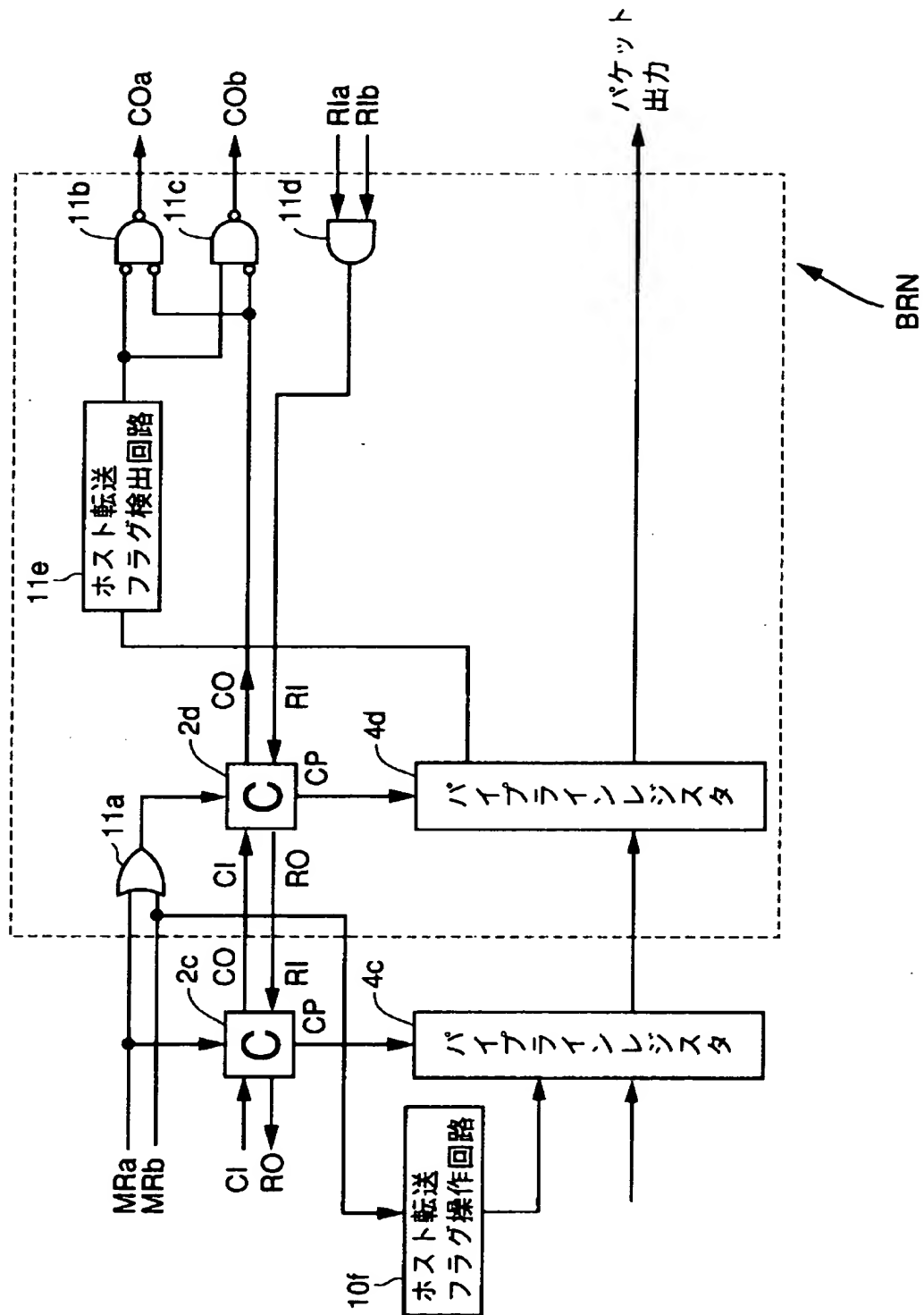
【図 1】



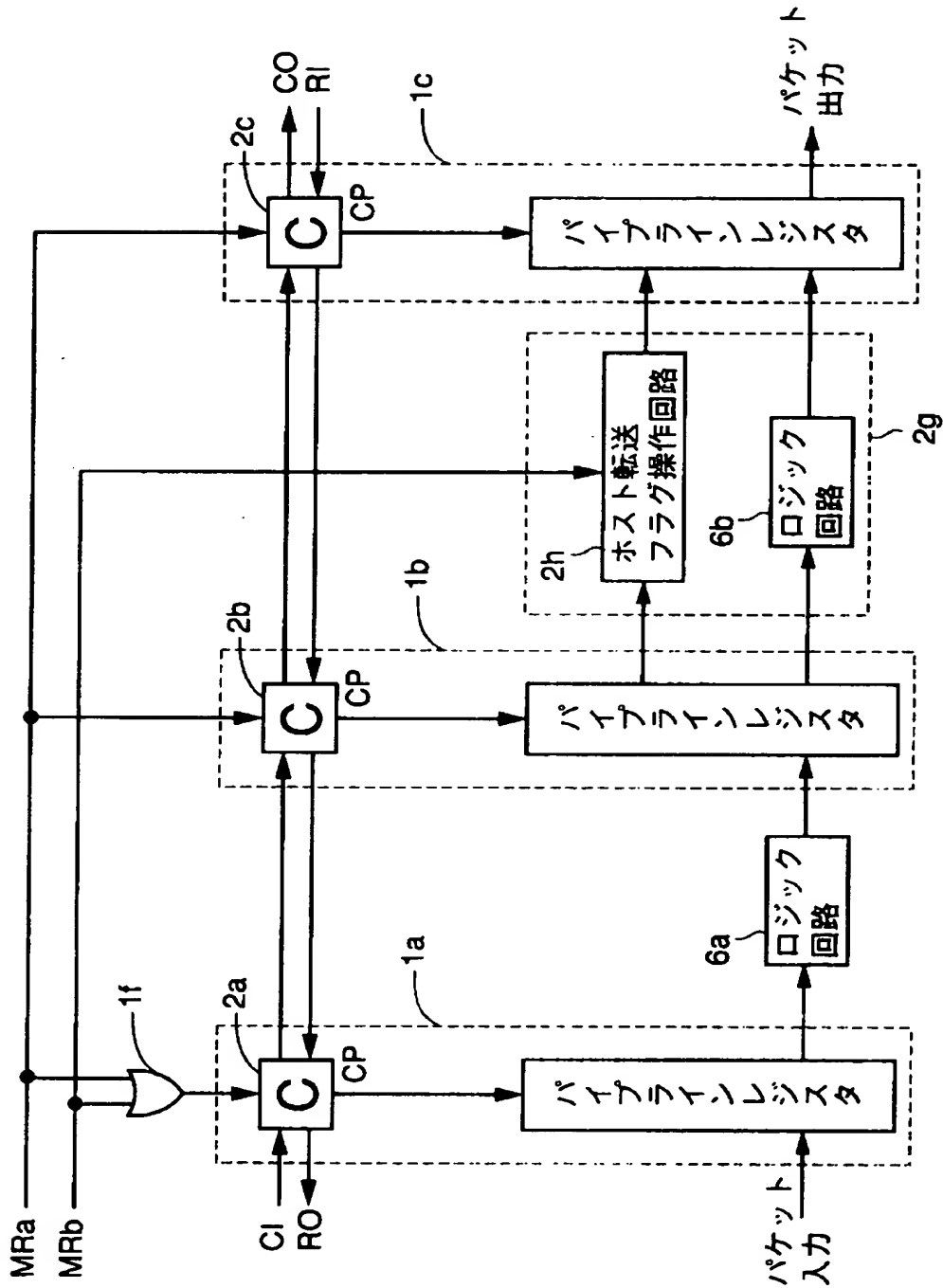
【図 2】



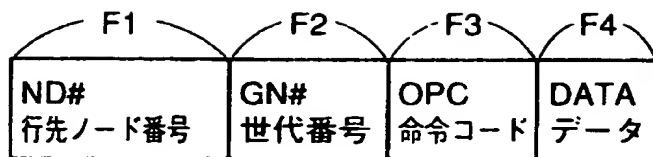
【図 3】



【図 4】

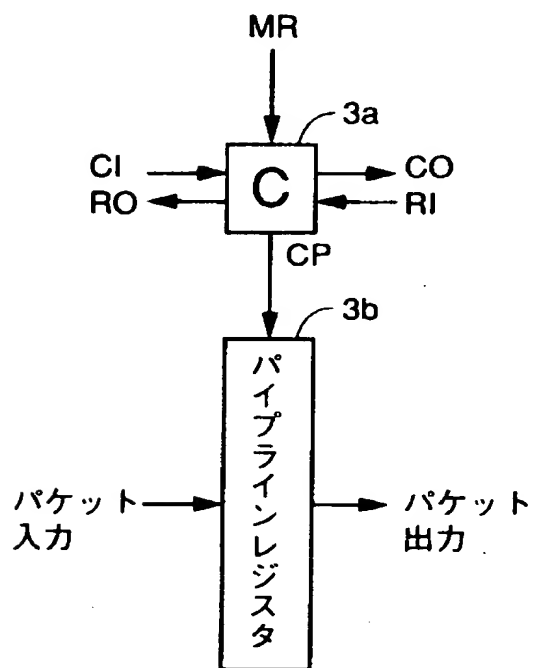


【図 5】

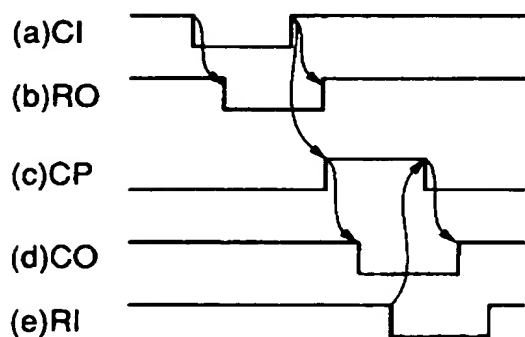


F1:行先ノード番号領域
F2:世代番号領域
F3:命令コード領域
F4:データ領域

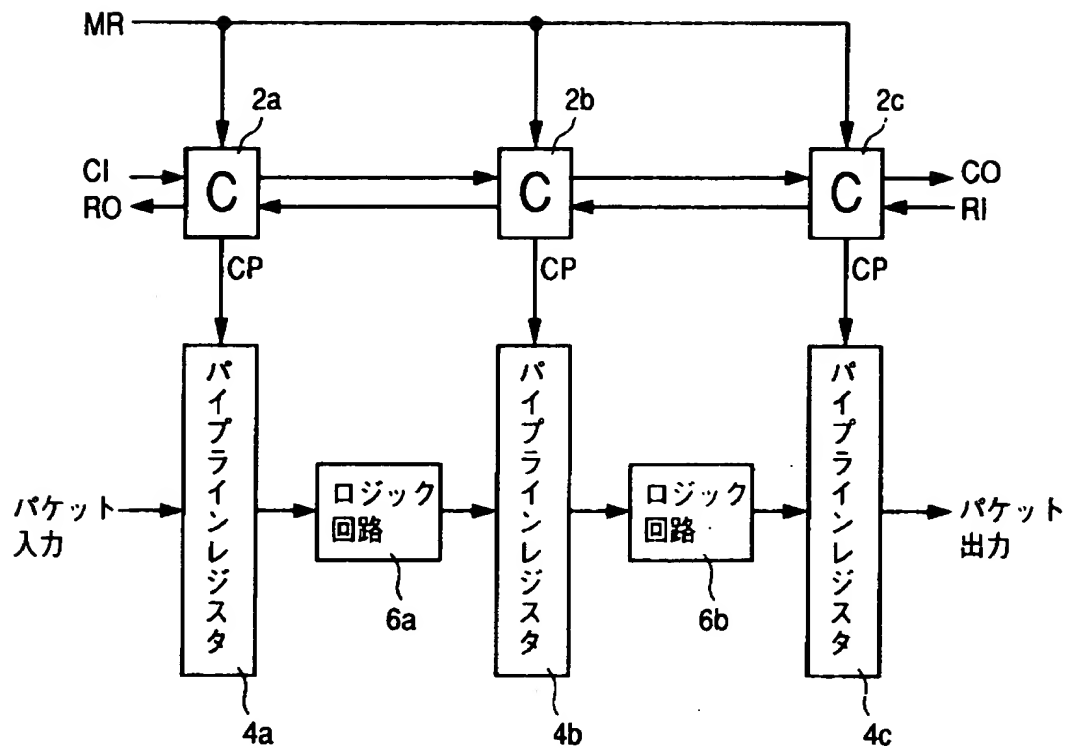
【図 6】



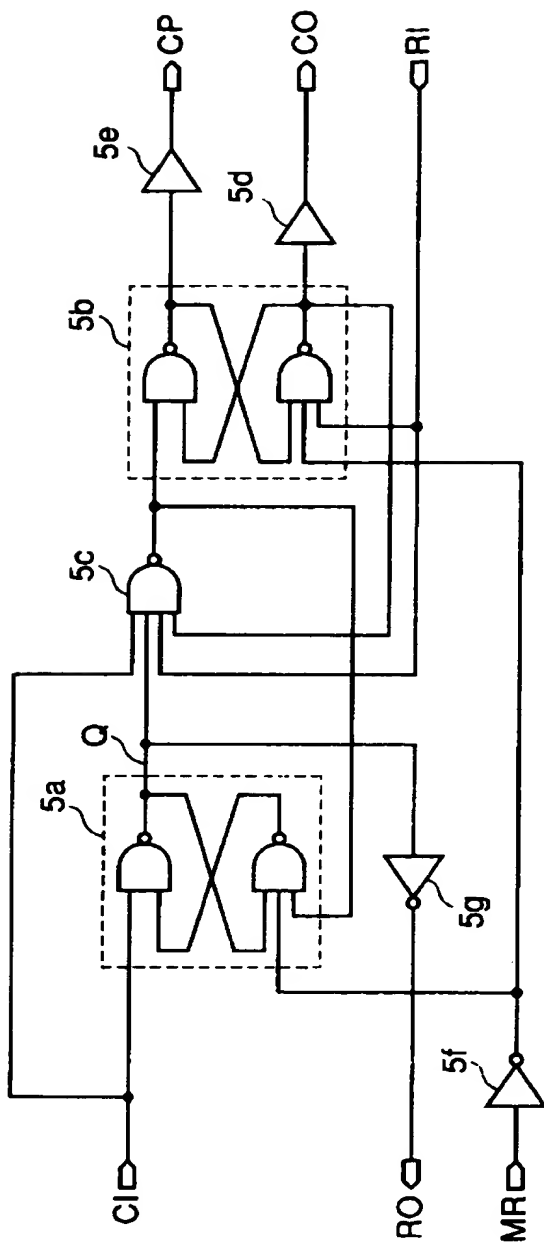
【図 7】



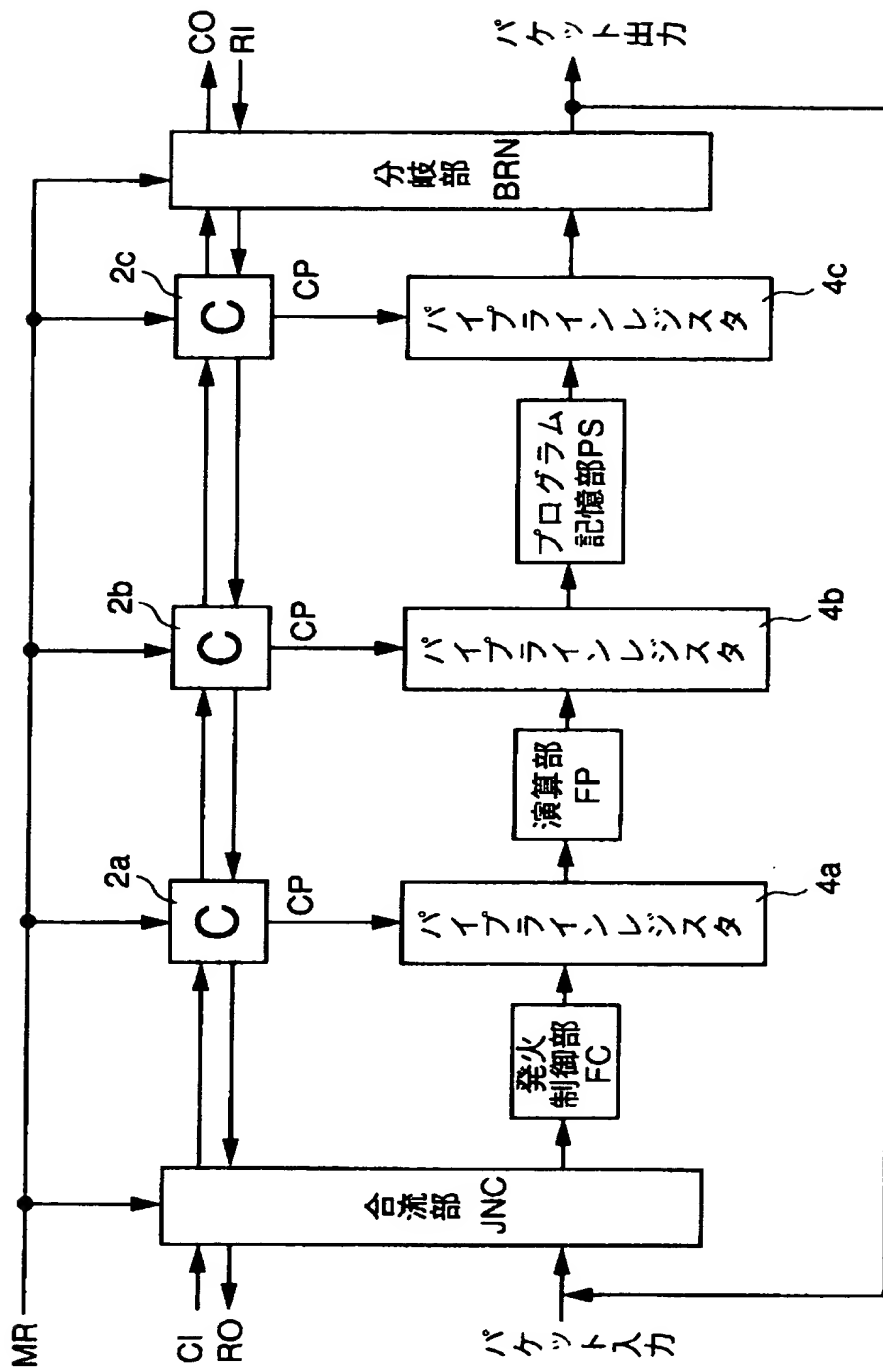
【図 8】



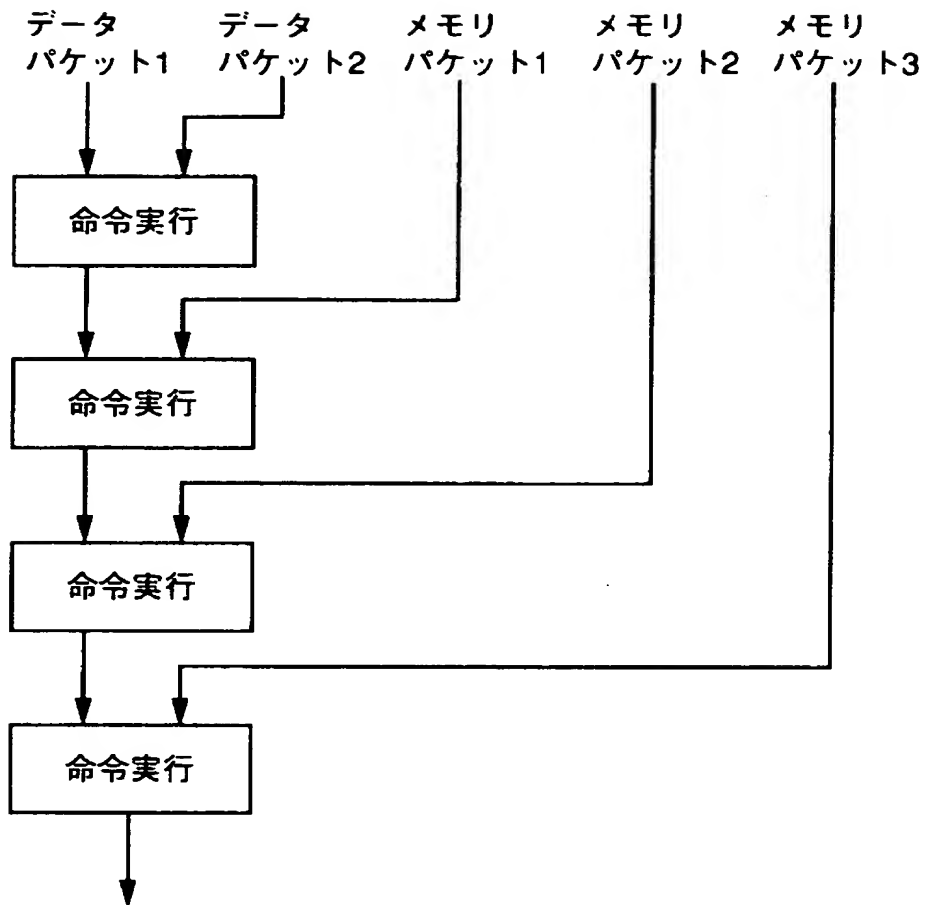
【図 9】



【図 10】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 循環パイプライン上の少なくとも1つのデータパケットを消去し、かつ循環パイプライン上の他のデータパケットをホストへ転送させる機能を備えたデータ駆動型情報処理装置を提供する。

【解決手段】 C素子2 a～2 cはパイプラインレジスタ1 a～1 cを制御してデータパケットを順次転送させ、デッドロック状態になると、マスタリセット信号によりパイプラインレジスタ1 aのデータパケットを消去し、ホスト転送フラグ操作回路1 gはパイプラインレジスタ1 bのデータパケットを書きかえてホスト転送フラグを「H」レベルにし、その後の段階でこのホスト転送フラグを検出すると、そのデータパケットをホストに転送させる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社